

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-186391  
 (43) Date of publication of application : 09. 07. 1999

(51) Int. Cl. H01L 21/768  
 H01L 21/3213

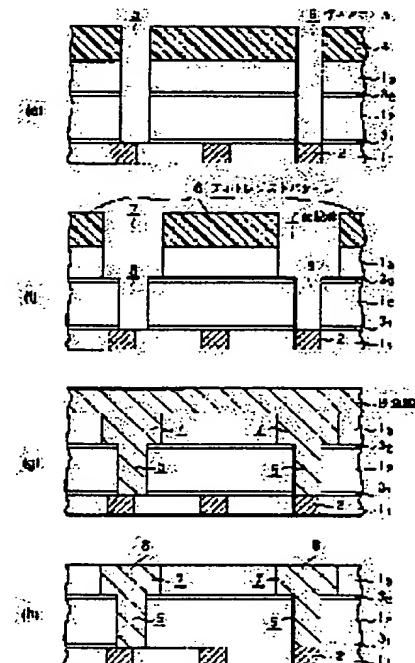
(21) Application number : 09-357339 (71) Applicant : TOSHIBA CORP  
 (22) Date of filing : 25. 12. 1997 (72) Inventor : M B ANANDO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize a dual damascene process for preventing the thickness variation of wiring trenches, without forming voids in a layer insulation film below vias.

**SOLUTION:** Below layer insulation films 12, 13, an etching stopper film 31 is provided for etching the insulation films 12, 13, then the etching condition is changed, and the stopper film 31 is removed so as to form vias 5 through a layer insulation film 11, without forming voids in this film 11, even if a photoresist pattern 4 is deviated. Also below the layer insulation film 13 an etching stopper film 32 provided, and the insulation film 13 is overetched to form wiring trenches 7 of a depth which is aligned with the thickness of the layer insulation film 13.



## LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-186391

(43)公開日 平成11年(1999)7月9日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/768  
21/3213

識別記号

F I  
H 01 L 21/90  
21/88A  
D

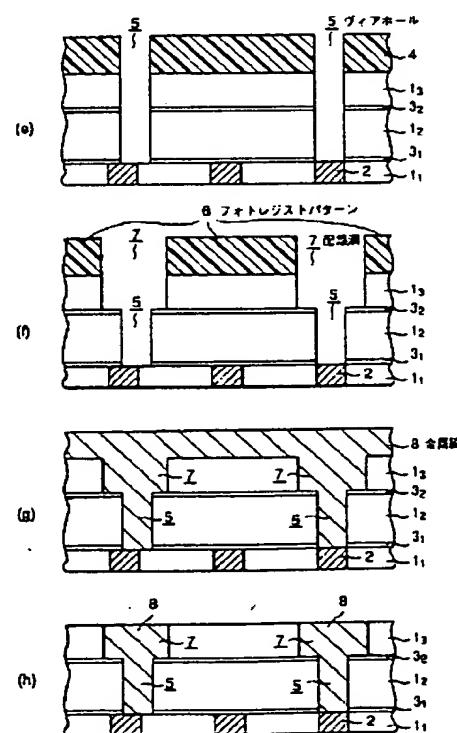
審査請求 未請求 請求項の数 6 OL (全 10 頁)

(21)出願番号 特願平9-357339  
(22)出願日 平成9年(1997)12月25日(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72)発明者 エム・ビー・アンド  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
(74)代理人 弁理士 鈴江 武彦 (外6名)

## (54)【発明の名称】 半導体装置およびその製造方法

## (57)【要約】

【課題】ヴィアホール5下の層間絶縁膜にボイドを形成せず、かつ配線溝の深さのばらつきを防止できるデュアルダマシン・プロセスを実現すること。

【解決手段】ヴィアホール5が形成される層間絶縁膜1<sub>1</sub>、1<sub>3</sub>の下にエッチングストップ膜3<sub>1</sub>を設けて層間絶縁膜1<sub>2</sub>、1<sub>3</sub>をエッチングした後、エッチング条件を変えてエッチングストップ膜3<sub>1</sub>を除去することにより、フォトレジストパターン4に合せずが生じても、層間絶縁膜1<sub>1</sub>にボイドを形成することなく、ヴィアホール5を形成できる。また、配線溝を形成する層間絶縁膜1<sub>3</sub>の下にエッチングストップ膜3<sub>2</sub>を設けて、層間絶縁膜1<sub>3</sub>をオーバーエッチングすることにより、深さが層間絶縁膜1<sub>3</sub>の厚さに揃った配線溝7を形成できる。

(2)

## 【特許請求の範囲】

【請求項 1】半導体基板に形成された第 1 の配線層と、前記半導体基板上に順次形成され、かつ前記第 1 の配線層に達する接続孔を有する第 1 、第 2 および第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成され、かつ前記接続孔を介して前記第 1 の配線層に達する配線溝を有する第 4 の絶縁膜と、

前記接続孔および前記配線溝の内部に形成された接続プラグ電極および第 2 の配線層としての導電膜とを具備してなり、

前記第 1 の絶縁膜と前記第 2 の絶縁膜とは互いに異なる材料からなる絶縁膜であり、かつ前記第 3 の絶縁膜と前記第 4 の絶縁膜とは互いに異なる材料からなる絶縁膜であることを特徴とする半導体装置。

【請求項 2】半導体基板に形成された第 1 の配線層と、前記半導体基板上に順次形成された第 1 、第 2 、第 3 および第 4 の絶縁膜であって、前記第 1 、第 2 および第 3 の絶縁膜は前記第 1 の配線層に達する接続孔を有し、かつ前記第 2 、第 3 および第 4 の絶縁膜は前記接続孔を介して前記第 1 の配線層に達する配線溝を有する前記第 1 、第 2 、第 3 および第 4 の絶縁膜と、

前記接続孔および前記配線溝の内部に形成された接続プラグ電極および第 2 の配線層としての導電膜とを具備してなり、

前記第 1 の絶縁膜と前記第 2 の絶縁膜とは互いに異なる材料からなる絶縁膜であり、かつ前記第 3 の絶縁膜と前記第 4 の絶縁膜とは互いに異なる材料からなる絶縁膜であることを特徴とする半導体装置。

【請求項 3】前記第 1 の絶縁膜と前記第 1 の配線層との間には、前記第 1 の絶縁膜よりも誘電率の低い第 5 の絶縁膜が形成されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】半導体基板に第 1 の配線層を形成する工程と、

前記半導体基板上に、前記第 1 の配線層を覆うように、第 1 の絶縁膜、この第 1 の絶縁膜と材料が異なる第 2 の絶縁膜、第 3 の絶縁膜、この第 3 の絶縁膜と材料が異なる第 4 の絶縁膜を順次形成する工程と、

前記第 4 、第 3 、第 2 および第 1 の絶縁膜を順次エッチングして、これらの絶縁膜に前記第 1 の配線層に達する接続孔を形成する工程であって、

前記第 4 、第 3 、第 2 の絶縁膜を順次エッチングして、前記第 4 および第 3 の絶縁膜を貫通し、かつ前記第 2 の絶縁膜を貫通しない溝を形成し、次に前記第 1 の絶縁膜が実質的にエッチングされないエッチング条件で、前記溝の底部の前記第 2 の絶縁膜をオーバーエッチングして除去し、次にエッチング条件を変えて、前記溝の底部の前記第 1 の絶縁膜をエッチングして除去することにより、前記接続孔を形成する工程と、

前記接続孔を形成する前または形成した後に、前記第 3 の絶縁膜が実質的にエッチングされないエッチング条件で、前記第 4 の絶縁膜をオーバーエッチングして、前記接続孔を介して前記第 1 の配線層に達する配線溝を前記第 4 の絶縁膜に形成する工程と、

前記接続孔および前記配線溝の内部を導電膜で埋め込んで、接続プラグ電極および第 2 の配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】半導体基板に第 1 の配線層を形成する工程と、

前記半導体基板上に、前記第 1 の配線層を覆うように、第 1 の絶縁膜、この第 1 の絶縁膜と材料が異なる第 2 の絶縁膜、第 3 の絶縁膜、この第 3 の絶縁膜と材料が異なる第 4 の絶縁膜を順次形成する工程と、

前記第 4 、第 3 、第 2 および第 1 の絶縁膜を順次エッチングして、これらの絶縁膜に前記第 1 の配線層に達する接続孔を形成する工程であって、

前記第 4 、第 3 、第 2 の絶縁膜を順次エッチングして、前記第 4 および第 3 の絶縁膜を貫通し、かつ前記第 2 の絶縁膜を貫通しない溝を形成し、次に前記第 1 の絶縁膜が実質的にエッチングされないエッチング条件で、前記溝の底部の前記第 2 の絶縁膜をオーバーエッチングして除去し、次にエッチング条件を変えて、前記溝の底部の前記第 1 の絶縁膜をエッチングして除去することにより、前記接続孔を形成する工程と、

前記接続孔を形成する前または形成した後に、前記第 3 の絶縁膜が実質的にエッチングされないエッチング条件で、前記第 4 の絶縁膜をオーバーエッチングして該第 4 の絶縁膜に貫通孔を形成し、次にエッチング条件を変えて、前記貫通孔の下の第 3 の絶縁膜をエッチング除去し、さらにその下の前記第 2 の絶縁膜の途中までエッチングすることにより、前記第 4 、第 3 および第 2 の絶縁膜に前記接続孔を介して前記第 1 の配線層に達する配線溝を形成する工程と、

前記接続孔および前記配線溝の内部を導電膜で埋め込んで、接続プラグ電極および第 2 の配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】前記半導体基板上に前記第 1 の絶縁膜よりも誘電率の低い第 5 の絶縁膜を形成した後に前記第 1 の絶縁膜を形成し、かつ前記溝の底部の前記第 1 の絶縁膜をエッチングして除去した後、前記溝の底部の前記第 5 の絶縁膜をエッチングして除去することにより前記接続孔を形成することを特徴とする請求項 4 または請求項 5 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、配線構造、特にデュアルダマシンタイプの配線構造を有する半導体装置およびその製造方法に関する。

## 【0002】

(3)

【従来の技術】現在の超大規模集積回路（U L S I C）では、一般に三層以上の金属配線を相互に接続してなる多層配線が用いられている。従来、この種の多層配線は以下のようにして形成していた。

【0003】まず、第1の金属配線となる金属膜上にフォトトレジストを塗布した後、このフォトトレジストをフォトリソグラフィにより露光、現像して、上記金属配線のパターンを有するフォトトレジストパターンを形成する。

【0004】次にフォトトレジストパターンをマスクにして金属膜を異方性エッチングし、金属膜にフォトトレジストパターンのパターンを転写して、金属配線を形成する。この後、フォトトレジストパターンを剥離して、第1の金属配線が完成する。

【0005】次に第1の金属配線を覆うように全面に第1の層間絶縁膜を形成した後、フォトリソグラフィとエッチングを用いて第1の金属配線に達するヴィアホールを上記層間絶縁膜に形成する。

【0006】次にヴィアホール内に金属を埋め込んで接続プラグ電極を形成した後、第1の金属配線と同様な方法により、第2の金属配線を形成する。この第2の金属配線は接続プラグ電極を介して第1の金属配線と接続する。

【0007】以上に述べた一連の工程を必要な回数だけ繰り返すことにより、多層配線が完成する。しかしながら、この種の従来の多層配線の形成方法は、高集積化に伴って、以下の2つの問題が顕著となる。

(1) 高集積化に伴って、金属配線のパターンは細くなる。したがって、高集積化に伴って、金属膜をエッチングして金属配線を形成することが次第に困難になっていく。

(2) 高集積化に伴って、金属配線間の幅が狭くなる。したがって、高集積化に伴って、金属配線間の空隙（ポイド）を層間絶縁膜で完全に埋め尽くすことが次第に困難になっていく、この種のポイドは、信頼性の低下を招く原因となる。

【0008】このような問題を解決するために、金属配線および接続プラグ電極の製造方法として、いわゆるデュアルダマシン・プロセスが提案されている。以下にデュアル・ダマシンプロセスを概説する。

【0009】まず、図7(a)に示すように、第1の層間絶縁膜81<sub>1</sub>に第1の金属配線82を形成する。この金属配線82自身も以下に述べるデュアル・ダマシンプロセスにより形成したものである。

【0010】次に図7(b)に示すように、全面に第2の層間絶縁膜81<sub>2</sub>を形成する。層間絶縁膜81<sub>2</sub>の厚さは、後で形成するヴィアホール84の深さと第2の金属配線（配線溝）との合計に等しく、例えば0.5～5μmの範囲の値である。

【0011】次に図7(c)に示すように、ヴィアホール形成用のフォトトレジストパターン83を形成した後、

このフォトトレジストパターン83をマスクにして、層間絶縁膜81<sub>2</sub>をR I E法にてエッチングし、金属配線82に達するヴィアホール84を形成する。この後、フォトトレジストパターン83を剥離する。

【0012】次に図7(d)に示すように、配線溝形成用のフォトトレジストパターン85を形成した後、このフォトトレジストパターン85をマスクにして、層間絶縁膜81<sub>2</sub>をR I E法にてエッチングし、ヴィアホール84を介して金属配線82に接続する配線溝86を形成する。この配線溝86の深さは、次の工程で形成する金属膜87からなる第2の金属配線の膜厚の設計値と等しく、例えば0.1～3μmの範囲の値である。この後、フォトトレジストパターン85を剥離する。

【0013】次に図7(e)に示すように、接続プラグ電極および第2の金属配線となる金属膜87をヴィアホール84および配線溝86の内部を埋め込むように全面に形成する。

【0014】この金属膜87は、例えばCVD法またはPVD法を用いて形成する。また、金属膜87の材料としては、例えばタンクスチタン、アルミニウム、銅、アルミニウムと銅の合金などを用いることができる。

【0015】ここで、金属膜87を形成する前に、ヴィアホール84および配線溝86の表面に窒化チタン、タンクスチタン窒化シリコン、ニオブ、タンタル等の金属や合金からなる薄膜や積層薄膜を形成することも一般に行なわれている。これらもCVD法またはPVD法で形成されるものであり、上記積層膜または積層薄膜の目的は金属膜87の堆積の促進や金属膜87の構成金属の層間絶縁膜81<sub>2</sub>などへの拡散を防止することにある。

【0016】最後に、図7(f)に示すように、ヴィアホール84および配線溝86の外の不要な金属膜87を除去することにより、金属膜87からなる第2の金属配線および接続プラグ電極がそれぞれ配線溝86およびヴィアホール84内に同時に形成される。

【0017】以上に述べた一連の工程を必要な回数だけ繰り返すことにより、多層配線が完成する。デュアルダマシン・プロセスは、先に述べた2つの問題を解決している。

【0018】すなわち、デュアルダマシン・プロセスでは、配線溝に金属膜87を埋め込むことにより第2の金属配線を形成しているため、金属膜をエッチングして微細なパターンを形成することに関連する困難を避けることができる。

【0019】また、配線溝86内に金属膜87を埋め込んで第2の金属配線を形成していることから、第2の金属配線を形成すると同時に第2の金属配線の間は層間絶縁膜81<sub>2</sub>で埋め込まれるので、信頼性の低下の原因となるポイドの発生を防止することができる。

【0020】しかしながら、デュアルダマシン・プロセスには、以下に説明する別な問題がある。現在の超大規

(4)

模集積回路では空間を節約して集積密度を高めている。このためには、例えばヴィアホール84の幅とその下の金属配線82の幅を等しく設計することが好ましい。しかし、ヴィアホール84の位置とその下の金属配線82の位置を完全に一致させることは困難である。

【0021】一方、層間絶縁膜812のエッチング速度には面内でばらつきがあるので、ヴィアホール84を確実に形成するためには層間絶縁膜812をオーバーエッチングする必要がある。

【0022】したがって、層間絶縁膜812のエッチング速度の速いところでは、その下の層間絶縁膜811もエッチングされ、このエッチングされた部分は、金属膜87により埋め込まれない可能性がある。

【0023】その結果、図8に示すように、ヴィアホール84下の金属配線82の近傍の層間絶縁膜811には、信頼性の低下の原因となるポイド88が発生する可能性がある。

【0024】第2の問題は、図8に示すように、深さの異なる配線溝86が形成される可能性があることである。その理由は層間絶縁膜812のエッチング速度が面内で均一でないことと、仮に均一であったとしても幅や密度の異なる配線溝を形成する場合にはエッチング速度が面内でばらつく可能性があるからである。

【0025】既に述べたように、配線溝86の深さには、第2の金属配線の膜厚の設計値が選ばれている。したがって、層間絶縁膜812のエッチング速度が面内で不均一だと、設計値とは異なる深さの配線溝86が形成される。その結果、金属配線82の抵抗値はばらついてしまう。

【0026】従来の方法の場合、金属膜をエッチングして金属配線を形成していたので、金属配線の抵抗値のばらつきは、金属膜の膜厚のばらつきで決定される。これに対してデュアルダマシン・プロセスの場合、第2の金属配線82の抵抗値のばらつきは、層間絶縁膜812のエッチング速度のばらつきで決定される。

【0027】一般に、金属膜の膜厚の制御の方が絶縁膜のエッチング速度の制御よりも容易なので、従来の方法よりもデュアルダマシン・プロセスの方が、金属配線の抵抗値のばらつきが大きいことが予想される。したがって、デュアルダマシンプロセスでは、超大規模集積回路の全体的な性能の変動が許容範囲を超てしまう可能性がある。

【0028】

【発明が解決しようとする課題】上述の如く、従来のデュアルダマシン・プロセスは、ヴィアホール下の金属配線近傍の層間絶縁膜に信頼性の低下の原因となるポイドが発生するという問題があった。また、異なる深さの配線溝が形成されて、金属配線の抵抗がばらつくという問題があった。

【0029】本発明は、上記事情を考慮してなされたも

ので、その目的とするところは、ポイドの発生および配線層の抵抗のばらつきを防止できる多層配線を有する半導体装置およびその製造方法を提供することにある。

【0030】

【課題を解決するための手段】【構成】上記目的を達成するために、本発明に係る半導体装置（請求項1）は、半導体基板に形成された第1の配線層と、前記半導体基板上に順次形成され、かつ前記第1の配線層に達する接続孔を有する第1、第2および第3の絶縁膜と、前記第3の絶縁膜上に形成され、かつ前記接続孔を介して前記第1の配線層に達する配線溝を有する第4の絶縁膜と、前記接続孔および前記配線溝の内部に形成された接続ブラング電極および第2の配線層としての導電膜とを備えてなり、前記第1の絶縁膜と前記第2の絶縁膜とが互いに異なる材料からなる絶縁膜であり、かつ前記第3の絶縁膜と前記第4の絶縁膜とが互いに異なる材料からなる絶縁膜であることを特徴とする。

【0031】ここで、第1の配線層は、例えば半導体基板上の層間絶縁膜に埋込み形成された金属配線、または半導体基板の表面に形成されたソース（ドレイン）拡散層などの不純物拡散層である。

【0032】また、第2、第4の絶縁膜として酸化シリコン膜を用いた場合には、第1、第3の絶縁膜としては例えば窒化シリコン膜を用いることができる。上記配線溝は、第3の絶縁膜を貫通して第2の絶縁膜の途中の深さまで形成されていることが好ましい（請求項2）。

【0033】さらに、第1の絶縁膜と第1の配線層との間には、第1の絶縁膜よりも誘電率の低い第5の絶縁膜が形成されていることが好ましい（請求項3）。また、本発明に係る半導体装置の製造方法（請求項4）は、半導体基板に第1の配線層を形成する工程と、前記半導体基板上に、前記第1の配線層を覆うように、第1の絶縁膜、この第1の絶縁膜と材料が異なる第2の絶縁膜、第3の絶縁膜、この第3の絶縁膜と材料が異なる第4の絶縁膜を順次形成する工程と、前記第4、第3、第2および第1の絶縁膜を順次エッチングして、これらの絶縁膜に前記第1の配線層に達する接続孔を形成する工程であって、前記第4、第3、第2の絶縁膜を順次エッチングして、前記第4および第3の絶縁膜を貫通し、かつ前記第2の絶縁膜を貫通しない溝を形成し、次に前記第1の絶縁膜が実質的にエッチングされないエッチング条件で、前記溝の底部の前記第2の絶縁膜をオーバーエッチングして除去し、次にエッチング条件を変えて、前記溝の底部の前記第1の絶縁膜をエッチングして除去することにより、前記接続孔を形成する工程と、前記接続孔を形成する前または形成した後に、前記第3の絶縁膜が実質的にエッチングされないエッチング条件で、前記第4の絶縁膜をオーバーエッチングして、前記接続孔を介して前記第1の配線層に達する配線溝を前記第4の絶縁膜に形成する工程と、前記接続孔および前記配線溝の内部

を導電膜で埋め込んで、接続プラグ電極および第2の配線層を形成する工程を有することを特徴とする。

【0034】ここで、上記エッチング条件は、例えばRIE法によるエッチングの場合であれば、エッチングガスを変えることにより実現する。具体的には、第2、第4の絶縁膜として酸化シリコン膜を用い、第1、第3の絶縁膜としては窒化シリコン膜を用いた場合には、酸化シリコン膜および窒化シリコン膜をエッチングするには、エッチングガスとしてCF<sub>4</sub>ガスとO<sub>2</sub>ガスとの混合ガスを用いる。また、酸化シリコン膜を選択的にエッチングするには、C<sub>4</sub>F<sub>8</sub>ガスとCOガスとの混合ガスを用いる。

また、本発明に係る他の半導体装置の製造方法（請求項5）は、半導体基板に第1の配線層を形成する工程と、前記半導体基板上に、前記第1の配線層を覆うように、第1の絶縁膜、この第1の絶縁膜と材料が異なる第2の絶縁膜、第3の絶縁膜、この第3の絶縁膜と材料が異なる第4の絶縁膜を順次形成する工程と、前記第4、第3、第2および第1の絶縁膜を順次エッチングして、これらの絶縁膜に前記第1の配線層に達する接続孔を形成する工程であって、前記第4、第3、第2の絶縁膜を順次エッチングして、前記第4および第3の絶縁膜を貫通し、かつ前記第2の絶縁膜を貫通しない溝を形成し、次に前記第1の絶縁膜が実質的にエッチングされないエッチング条件で、前記溝の底部の前記第2の絶縁膜をオーバーエッチングして除去し、次にエッチング条件を変えて、前記溝の底部の前記第1の絶縁膜をエッチングして除去することにより、前記接続孔を形成する工程と、前記接続孔を形成する前または形成した後に、前記第3の絶縁膜が実質的にエッチングされないエッチング条件で、前記第4の絶縁膜をオーバーエッチングして該第4の絶縁膜に貫通孔を形成し、次にエッチング条件を変えて、前記貫通孔の下の第3の絶縁膜をエッチング除去し、さらにその下の前記第2の絶縁膜の途中までエッチングすることにより、前記第4、第3および第2の絶縁膜に前記接続孔を介して前記第1の配線層に達する配線溝を形成する工程と、前記接続孔および前記配線溝の内部を導電膜で埋め込んで、接続プラグ電極および第2の配線層を形成する工程とを有することを特徴とする。

【0035】ここで、半導体基板上に第1の絶縁膜よりも誘電率の低い第5の絶縁膜を形成した後に第1の絶縁膜を形成し、かつ溝の底部の第1の絶縁膜をエッチングして除去した後、溝の底部の第5の絶縁膜をエッチングして除去することにより接続孔を形成することが好ましい（請求項6）。

【0036】[作用] 本発明（請求項1～3）の如き構成の半導体装置であれば、本発明（請求項4～6）の半導体装置の製造方法により、上述した問題を招くことなく製造することができる。

【0037】すなわち、接続孔を形成する工程におい

て、第2の絶縁膜をオーバーエッチングする際に、第1の絶縁膜がエッチングストップとして機能する。したがって、上記オーバーエッチングの際に用いるマスクに合せずが生じても、第1の絶縁膜の下地がエッチングされることないので、第2の絶縁膜をオーバーエッチングしても上記下地にボイドが形成されることを防止できる。

【0038】また、第1の絶縁膜を薄く形成すれば、第1の絶縁膜をエッチング除去する際に上記下地がエッチングされてボイドが形成されることを効果的に防止することができる。

【0039】また、配線溝を形成する工程において、第4の絶縁膜をエッチングする際に、第3の絶縁膜がエッチングストップとして機能する。したがって、第4の絶縁膜をオーバーエッチングすることにより、深さが第4の絶縁膜の膜厚と同じ配線溝を形成できる。

【0040】なお、本発明（請求項5など）の場合には、第3、第2の絶縁膜もエッチングするので、これによって配線溝の深さにばらつきが起こる可能性があるが、第3の絶縁膜を薄く形成し、第2の絶縁膜のエッチング量を少なくすれば実用上問題はない。

【0041】また、本発明（請求項2、5）は、さらに以下のような作用効果を奏する。すなわち、本発明の場合、第3の絶縁膜として第4の絶縁膜よりも誘電率の高い絶縁膜を用いても、第2の配線層の底面にはこのような誘電率の高い絶縁膜が存在しなくなるので、配線層間の寄生容量の増加を抑制できるようになる。

【0042】また、本発明（請求項3、6）は、さらに以下のような作用効果を奏する。すなわち、本発明の場合、第1の絶縁膜として第2の絶縁膜よりも誘電率の高い絶縁膜を用いても、第1の絶縁膜と第1の配線層との間には、第1の絶縁膜よりも誘電率の低い第5の絶縁膜が形成されているので、配線層間の寄生容量の増加を抑制できるようになる。

【0043】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）図1、図2は、本発明の第1の実施形態に係るデュアルダマシン・プロセスを示す工程断面図である。

【0044】まず、図1（a）に示すように、SiO<sub>2</sub>からなる第1の層間絶縁膜1<sub>1</sub>に第1の金属配線2を埋込み形成する。層間絶縁膜1<sub>1</sub>は図示しないシリコン基板上に形成されたものである。金属配線2自身も以下に述べる本実施形態のデュアルダマシン・プロセスにより形成したものである。

【0045】次に図1（b）に示すように、全面に第1のエッチングストップ膜3<sub>1</sub>を形成する。このエッチングストップ膜3<sub>1</sub>は、エッチング条件によって、層間絶縁膜1<sub>1</sub>よりも十分に遅いエッチング速度またはほぼ同

(6)

じエッティング速度でエッティングできる絶縁膜である。本実施形態では、エッティングストップ膜3<sub>1</sub>として、塗化シリコン膜を用いる。また、その厚さは、例えば、10～50nmの範囲である。

【0046】次に同図(b)に示すように、エッティングストップ膜3<sub>1</sub>上にSiO<sub>2</sub>からなる第2の層間絶縁膜1<sub>2</sub>を形成する。層間絶縁膜1<sub>2</sub>の膜厚は、その膜厚とエッティングストップ膜3<sub>1</sub>の膜厚との合計がヴィアホールの深さの設計値と等しくなるように選ばれている。

【0047】次に図1(c)に示すように、層間絶縁膜1<sub>2</sub>上に第2のエッティングストップ膜3<sub>2</sub>を形成する。このエッティングストップ膜3<sub>2</sub>も、エッティングストップ膜3<sub>1</sub>と同様に、エッティング条件によって、層間絶縁膜1<sub>1</sub>よりも十分に遅いエッティング速度またはほぼ同じエッティング速度でエッティングできる絶縁膜である。

【0048】本実施形態では、エッティングストップ膜3<sub>2</sub>として、塗化シリコン膜を用い、その厚さは、例えば、10～50nmの範囲である。なお、エッティングストップ膜3<sub>2</sub>とエッティングストップ膜3<sub>1</sub>は同じ材料の絶縁膜である必要は無く、また同じ膜厚である必要もない。

【0049】次に同図(c)に示すように、エッティングストップ膜3<sub>2</sub>上に第3の層間絶縁膜1<sub>3</sub>を形成する。この層間絶縁膜1<sub>3</sub>の厚さは、後で形成する第2の金属配線の厚さと同じである。また、層間絶縁膜1<sub>3</sub>は、層間絶縁膜1<sub>2</sub>と同じ種類の絶縁膜であり、ここではSiO<sub>2</sub>膜である。

【0050】次に図1(d)に示すように、ヴィアホール形成用のフォトレジストパターン4を層間絶縁膜1<sub>3</sub>上に形成する。次に同図(d)に示すように、エッティングストップ膜3<sub>2</sub>と層間絶縁膜1<sub>3</sub>のエッティング速度がほぼ同じになるエッティング条件で、フォトレジストパターン4をマスクにして、エッティングストップ膜3<sub>2</sub>と層間絶縁膜1<sub>3</sub>をRIE法にてエッティングする。上記エッティング条件は、例えばエッティングガスとしてCF<sub>4</sub>ガスとO<sub>2</sub>ガスとの混合ガスを用いることにより実現できる。

【0051】次に同図(d)に示すように、エッティングが層間絶縁膜1<sub>2</sub>に達したら、エッティングストップ膜3<sub>1</sub>のほうが層間絶縁膜1<sub>2</sub>よりもエッティング速度が十分に遅くなるエッティング条件で、フォトレジストパターン4をマスクにして、層間絶縁膜1<sub>2</sub>をRIE法にてエッティングする。上記エッティング条件は、例えばエッティングガスとしてC<sub>4</sub>F<sub>8</sub>ガスとCOガスとの混合ガスを用いることにより実現できる。

【0052】ここで、層間絶縁膜1<sub>2</sub>のエッティングは、層間絶縁膜1<sub>2</sub>のエッティング速度が面内ではらつきがあることから、オーバーエッティングとする。これにより、層間絶縁膜1<sub>2</sub>に貫通孔を確実に形成できる。

【0053】このとき、エッティング条件は、エッティング

ストップ膜3<sub>1</sub>のほうが層間絶縁膜1<sub>2</sub>よりもエッティング速度が十分に遅くなるように選ばれているので、上記エッティングはエッティングストップ膜3<sub>1</sub>で止まる。

【0054】したがって、フォトレジストパターン4に合わせずれが起きていても、層間絶縁膜1<sub>2</sub>の貫通孔下の層間絶縁膜1<sub>1</sub>がエッティングされ、このエッティングされた部分が後で形成する金属膜8で埋め込まれることによって、ポイドが形成されることを防止できる。

【0055】次に図2(e)に示すように、エッティング条件を変えて、フォトレジストパターン4をマスクにして、層間絶縁膜1<sub>2</sub>の貫通孔の底部のエッティングストップ膜3<sub>1</sub>をRIE法にてエッティングして除去する。この結果、金属配線2に達するヴィアホール5が形成される。この後、フォトレジストパターン4を剥離する。

【0056】ここで、エッティングストップ膜3<sub>1</sub>は薄いので、短時間のエッティングで除去できる。したがって、層間絶縁膜1<sub>1</sub>がエッティングされて、ポイドが形成されることはない。また、上記エッティング条件は、エッティングストップ膜3<sub>1</sub>のほうが層間絶縁膜1<sub>3</sub>よりもエッティング速度が十分に速くなるように選んだほうが好ましいが、必ずしもその必要ない。

【0057】次に図2(f)に示すように、配線溝形成用のフォトレジストパターン6を層間絶縁膜1<sub>3</sub>上に形成する。次に同図(f)に示すように、エッティングストップ膜3<sub>2</sub>のほうが層間絶縁膜1<sub>3</sub>よりもエッティング速度が十分に遅くなるエッティング条件で、フォトレジストパターン6をマスクにして、層間絶縁膜1<sub>3</sub>をRIE法にてエッティングし、ヴィアホール5を介して配線層2に達する配線溝7を形成する。

【0058】ここで、層間絶縁膜1<sub>3</sub>のエッティングは、層間絶縁膜1<sub>3</sub>のエッティング速度が面内ではらつきがあることから、オーバーエッティングとする。これにより、層間絶縁膜1<sub>3</sub>に深さのはらつきのない配線溝7を確実に形成できる。

【0059】このとき、エッティング条件は、エッティングストップ膜3<sub>2</sub>のほうが層間絶縁膜1<sub>3</sub>よりもエッティング速度が十分に遅くなるように選ばれているので、上記エッティングはエッティングストップ膜3<sub>2</sub>で止まる。

【0060】次に図2(g)に示すように、ヴィアホール5および配線溝7の内部を完全に埋め込むように、全面に金属膜8を形成する。この金属膜8は、例えばCVD法またはPVD法を用いて堆積形成する。また、金属膜8の材料としては、例えばタンクスチタン、アルミニウム、銅、アルミニウムと銅の合金などを用いることができる。

【0061】ここで、金属膜8の堆積の促進や金属膜8の構成金属の層間絶縁膜1<sub>2</sub>、1<sub>3</sub>への拡散を防止するために、金属膜8を形成する前に、ヴィアホール5および配線溝7の表面に塗化チタン、タンクスチタン塗化シリコン、ニオブ、タンタル等の金属や合金からなる薄膜や

(7)

積層薄膜を形成しても良い。

【0062】次に図2 (h) に示すように、ヴィアホール5および配線溝7の外の不要な金属膜8を例えればC M Pにより除去することにより、金属膜8からなる第2の金属配線および接続プラグ電極がそれぞれ配線溝8およびヴィアホール5内に同時に形成される。

【0063】以上に述べた一連の工程を必要な回数だけ繰り返すことにより、多層配線が完成する。なお、本実施形態ではヴィアホール5を形成した後、配線溝7を形成する場合について説明したが、逆に配線溝7を形成した後、ヴィアホール5を形成しても良い。この場合、図1 (c) の工程までは同じで、その後、図3に示す工程に進む。図3 (c) の後はフォトレジストパターン3を除去してから、図2 (g) の工程に進む。

【0064】ところで、図2 (h) から明らかなように、以上に述べた実施形態の最終構造では、エッティングストップ膜3<sub>1</sub>、3<sub>2</sub>がそれぞれ第1の金属配線2、第2の金属配線（金属膜8）の上下に直に存在している。

【0065】本実施形態では、エッティングストップ膜3<sub>1</sub>、3<sub>2</sub>として窒化シリコン膜を用いている。窒化シリコンは層間絶縁膜の材料として一般に用いられているガラスなどの材料よりも誘電率が高い。例えば、窒化シリコンは誘電率がほぼ7.0なのに対して、ガラスは誘電率が2.5～4.2である。

【0066】誘電率の高い絶縁膜である窒化シリコン膜が金属配線のコーナの直ぐ近くにあると、電荷が溜まるので、金属配線と金属配線との間に形成される容量（配線間寄生容量）が増加してしまう。

【0067】この現象を図4に示す。図4には、配線間寄生容量の増加率（容量増加率）が、窒化シリコン膜と金属配線との間の距離（SiN膜・配線間距離）の関数として示されている。

【0068】窒化シリコン膜の厚さが20nmのとき、金属配線の直上または直下（距離=0）に窒化シリコン膜が存在すると、窒化シリコン膜が全くない場合に比べて、5%以上も寄生容量が増加する。

【0069】高性能の超大規模集積回路では5%の増加は許容できない可能性が高い。しかしながら、図4にはこの問題の解決策も示されている。すなわち、窒化シリコン膜を50nmだけ金属配線から離せば、容量増加率を約2%に抑えることができる。したがって、窒化シリコン膜を金属配線の隅々から分離して配置することにより、容量増加率を小さくすることができる。この着想を採用したのが、以下に述べる第2の実施形態である。

（第2の実施形態）図5、図6は、本発明の第2の実施形態に係るデュアルダマシン・プロセスを示す工程断面図である。なお、図1、図2と対応する部分には図1、図2と同一符号を付してあり、詳細な説明は省略する。

【0070】まず、図5 (a) に示すように、第1の層間絶縁膜1<sub>1</sub>に第1の金属配線2を埋込み形成する。次

に同図 (a) に示すように、全面に薄いスペーサ絶縁膜9、第1のエッティングストップ膜3<sub>1</sub>、第2の層間絶縁膜1<sub>2</sub>、第2のエッティングストップ膜3<sub>2</sub>、第3の層間絶縁膜1<sub>3</sub>を順次形成する。スペーサ絶縁膜9はエッティングストップ膜3<sub>1</sub>よりも誘電率の低い絶縁膜であり、例えばSiO<sub>2</sub>膜である。

【0071】このように本実施形態では、誘電率の低いスペーサ絶縁膜9の厚さの分だけ、第1の金属配線2はエッティングストップ膜3<sub>1</sub>から離れるので、寄生容量は削減される。スペーサ絶縁膜9の厚さは、求められる寄生容量の削減量に対応したものとなり、例えば50nmである。また、エッティングストップ膜3<sub>1</sub>、3<sub>2</sub>および層間絶縁膜1<sub>2</sub>、1<sub>3</sub>の材料、膜厚は第1の実施形態と同様である。

【0072】ただし、層間絶縁膜1<sub>2</sub>の膜厚は、その膜厚とスペーサ絶縁膜9の膜厚とエッティングストップ膜3<sub>1</sub>の膜厚との合計が後で形成するヴィアホールの深さの設計値と等しくなるように選ばれている。

【0073】次に図5 (b) に示すように、ヴィアホール形成用のフォトレジストパターン4を層間絶縁膜1<sub>3</sub>上に形成した後、フォトレジストパターン4をマスクにして、層間絶縁膜1<sub>3</sub>、エッティングストップ膜3<sub>2</sub>および層間絶縁膜1<sub>2</sub>をRIE法にてエッティングする。この後、フォトレジストパターン4を剥離する。

【0074】この図5 (b) の工程は、第1の実施形態の図1 (d) の工程と同じであり、第1の実施形態と同じ効果が得られる。次に図5 (c) に示すように、配線溝形成用のフォトレジストパターン6を層間絶縁膜1<sub>3</sub>上に形成した後、フォトレジストパターン6をマスクにして、層間絶縁膜1<sub>3</sub>をRIE法にてエッティングし、配線溝7を形成する。

【0075】この図5 (c) の工程は、第1の実施形態の図2 (f) の工程と同じであり、第1の実施形態と同じ効果が得られる。次に図6 (d) に示すように、フォトレジストパターン6を剥離した後、エッティングストップ膜3<sub>1</sub>およびスペーサ絶縁膜9をRIE法にてエッティングして除去する。

【0076】このとき、配線溝7の底部のエッティングストップ膜3<sub>2</sub>はエッティング除去され、さらにその下の層間絶縁膜1<sub>2</sub>の一部はエッティングされる。この結果、配線溝7の底部はエッティングストップ膜3<sub>2</sub>よりも下になる。

【0077】また、エッティングストップ膜3<sub>1</sub>およびスペーサ絶縁膜9は薄いので、短時間のエッティングで除去できる。これにより層間絶縁膜1<sub>1</sub>がエッティングされて、ポイドが形成されることを防止できる。また、上記エッティング条件は、エッティングストップ膜3<sub>1</sub>のほうが層間絶縁膜1<sub>2</sub>よりもエッティング速度が十分に速くなるように選んだほうが好ましいが、必ずしもその必要ない。

(8)

【0078】この後、第1の実施形態の図2(g)、図2(h)の工程に従って金属膜8からなる第2の金属配線および接続プラグ電極を形成する。この段階の断面図を図6(e)に示す。

【0079】図6(e)に示すように、金属膜8からなる第2の金属配線のコーナには、誘電率の高い絶縁膜である窒化シリコン膜からなるエッティングストップ膜32が存在しないので、配線間寄生容量の増大を抑えることができる。

【0080】かくして本実施形態によれば、第1の実施形態と同様な効果が得られるのはもちろんのこと、配線間寄生容量の増大を抑制できるという効果も得られる。なお、スペーサ絶縁膜9を省いても従来よりも寄生抵抗を低減できる。また、本実施形態も第1の実施形態の変形例の場合と同様に、先に配線溝形成用のフォトレジストパターン6を形成してエッティングした後に、ヴィアホール形成用のフォトレジストパターンを形成してエッティングしても良い。

【0081】なお、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態は第1の配線層が金属配線2である場合について説明したが、ソース・ドレイン層のようなシリコン基板の表面に形成された不純物拡散層であっても良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0082】

【発明の効果】以上詳述したように本発明によれば、接続孔を形成する工程において、第2の絶縁膜をオーバーエッティングしても、第1の絶縁膜がエッティングストップとして機能するので、第1の絶縁膜の下地がエッティングされて該下地にボイドが形成されることを防止できる。

【0083】また、配線溝を形成する工程において、第4の絶縁膜をエッティングする際に、第3の絶縁膜がエッティングストップとして機能するので、第4の絶縁膜をオ

ーバーエッティングすることにより、深さにはらつきがない配線溝を形成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るデュアルダマシン・プロセスの前半を示す工程断面図

【図2】本発明の第1の実施形態に係るデュアルダマシン・プロセスの後半を示す工程断面図

【図3】第1の実施形態のデュアルダマシン・プロセスの変形例を示す工程断面図

【図4】配線寄生容量の増加率を窒化シリコン膜と金属配線との間の距離の関数として示した図

【図5】本発明の第2の実施形態に係るデュアルダマシン・プロセスの前半を示す工程断面図

【図6】本発明の第2の実施形態に係るデュアルダマシン・プロセスの後半を示す工程断面図

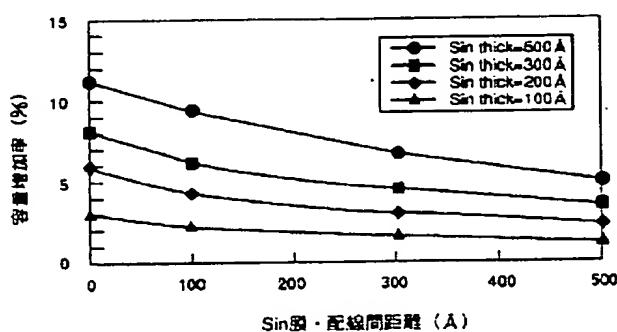
【図7】従来のデュアルダマシン・プロセスを示す工程断面図

【図8】従来のデュアルダマシン・プロセスの問題点を説明するための断面図

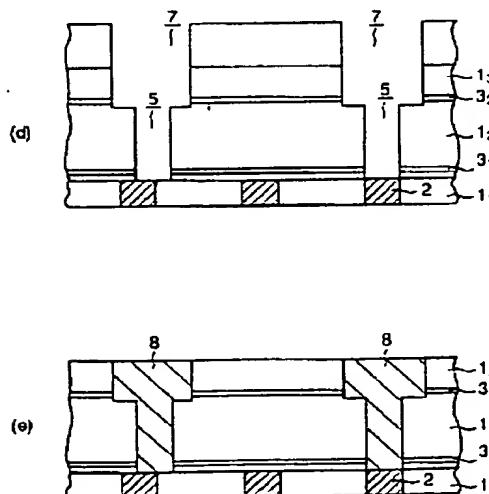
【符号の説明】

- 1<sub>1</sub> … 第1の層間絶縁膜
- 1<sub>2</sub> … 第2の層間絶縁膜 (第2の絶縁膜)
- 1<sub>3</sub> … 第3の層間絶縁膜 (第4の絶縁膜)
- 2 … 第1の金属配線 (第1の配線層)
- 3<sub>1</sub> … 第1のエッティングストップ膜 (第1の絶縁膜)
- 3<sub>2</sub> … 第2のエッティングストップ膜 (第3の絶縁膜)
- 4 … フォトレジストパターン
- 5 … ヴィアホール
- 6 … フォトレジストパターン
- 7 … 配線溝
- 8 … 金属膜 (接続プラグ電極、第2の配線層)
- 9 … スペーサ絶縁膜 (第5の絶縁膜)

【図4】

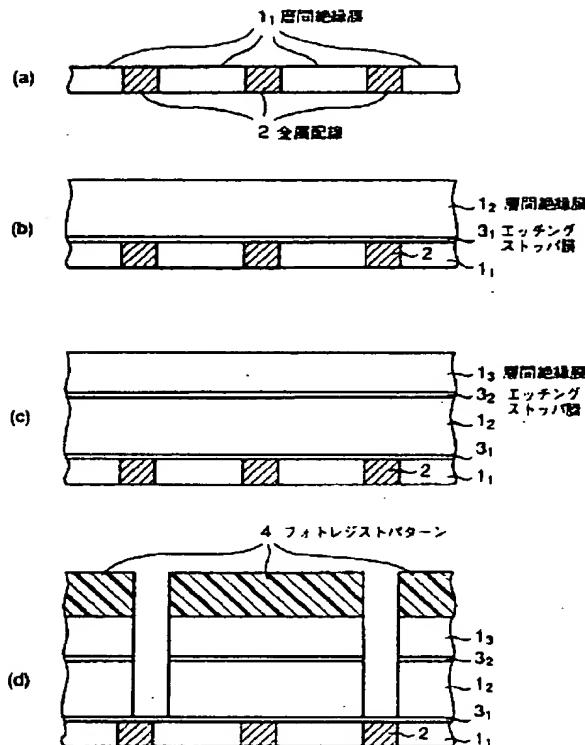


【図6】

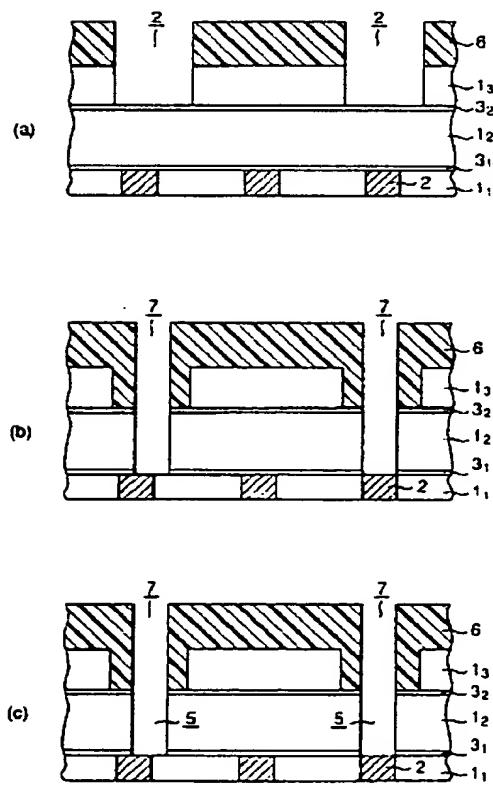


(9)

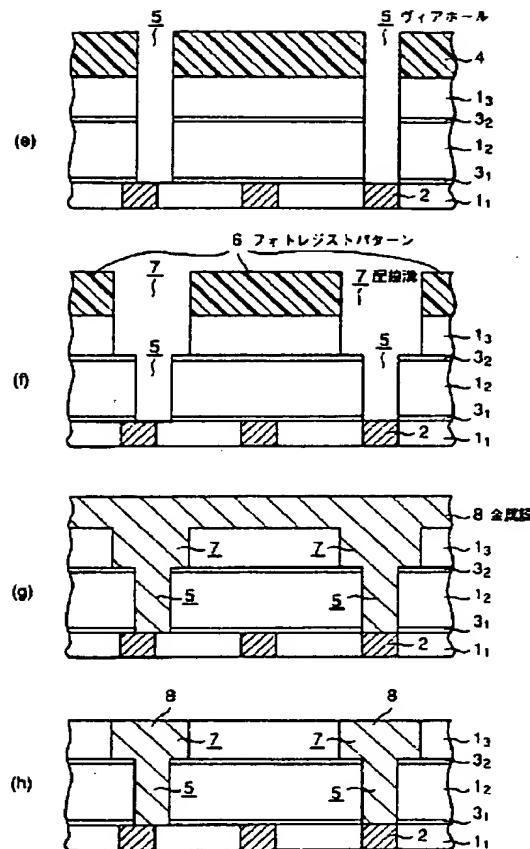
〔図1〕



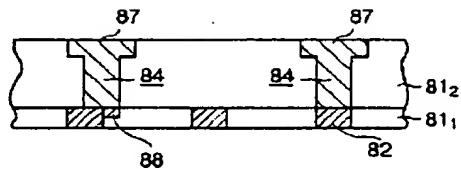
〔図3〕



[図2]

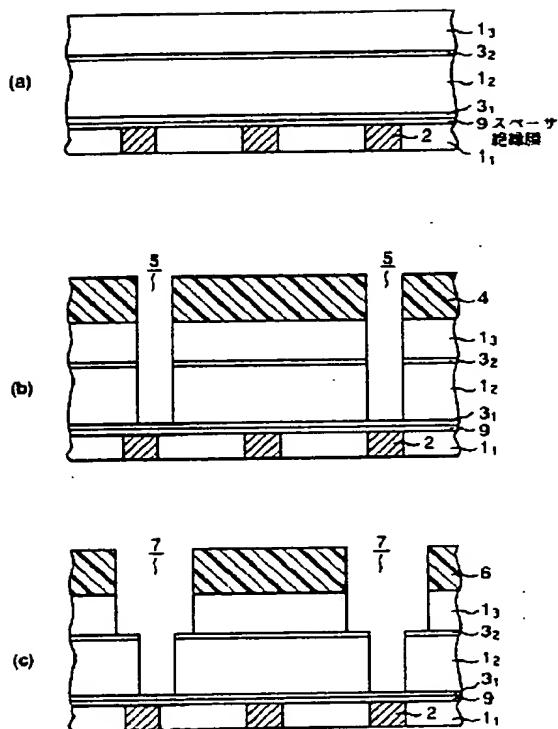


【图8】



(10)

【図5】



【図7】

